

17712343

Basic Patent (No,Kind,Date): JP 2002076349 A2 20020315 <No. of Patents:
001>

METHOD FOR MANUFACTURING SEMICONDUCTOR DEVICE (English)

Patent Assignee: SEIKO EPSON CORP

Author (Inventor): TAKENAKA SATOSHI

IPC: *H01L-029/786; H01L-021/336; G02F-001/1368; H01L-021/20

CA Abstract No: 136(15)240108M

Derwent WPI Acc No: C 02-399579

Language of Document: Japanese

Patent Family:

Patent No	Kind	Date	Applc No	Kind	Date
JP 2002076349	A2	20020315	JP 2000257887	A	20000828

(BASIC)

Priority Data (No,Kind,Date):

JP 2000257887 A 20000828

?

PATENT ABSTRACTS OF JAPAN

(11) Publication number : **2002-076349**
 (43) Date of publication of application : **15.03.2002**

(51) Int.CI. **H01L 29/786**
H01L 21/336
G02F 1/1368
H01L 21/20

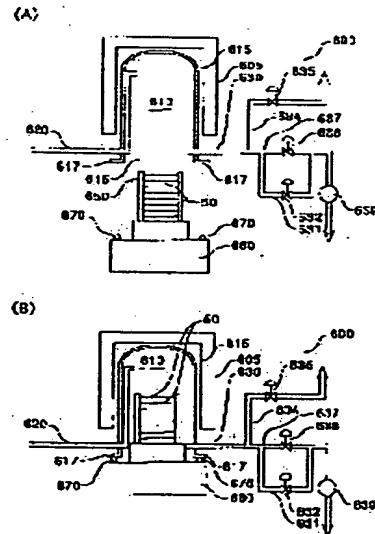
(21) Application number : **2000-257887** (71) Applicant : **SEIKO EPSON CORP**
 (22) Date of filing : **28.08.2000** (72) Inventor : **TAKENAKA SATOSHI**

(54) METHOD FOR MANUFACTURING SEMICONDUCTOR DEVICE

(57) Abstract:

PROBLEM TO BE SOLVED: To provide a method for manufacturing a semiconductor device capable of further improving on-current characteristics even when a TFT is formed from a polycrystalline amorphous semiconductor film, and compressing its unevenness.

SOLUTION: The method for manufacturing the semiconductor device comprises the steps of forming the semiconductor film made of the amorphous semiconductor film on a substrate 50 made of a glass by a low temperature process, and then making the semiconductor film polycrystalline by laser annealing (crystallizing step). The method further comprises the step of then heat treating a substrate 20 in a high temperature atmosphere at 400 to 600°C in a heat treating unit 600 (heat treating step). In this case, a treating chamber 610 is evacuated to exhaust contaminated atmosphere therein, then clean gas is introduced into the chamber and then heat treated. Thus, a surface of the semiconductor film can be held clean.



[Date of request for examination] 05.02.2004

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number]

[Date of registration]

[Number of appeal against examiner's decision of rejection]

[Date of requesting appeal against examiner's decision of rejection]

[Date of extinction of right]

Copyright (C); 1998,2003 Japan Patent Office

(51) Int. Cl.⁷
 H01L 29/786
 21/336
 G02F 1/1368
 H01L 21/20

識別記号

F I
 H01L 21/20
 29/78
 G02F 1/1366
 H01L 29/78

テーマコード (参考)
 2H092
 G 5F052
 5F110
 E

審査請求 未請求 請求項の数19 O L (全17頁)

(21)出願番号 特願2000-257887(P 2000-257887)

(22)出願日 平成12年8月28日(2000.8.28)

(71)出願人 000002369
 セイコーエプソン株式会社
 東京都新宿区西新宿2丁目4番1号

(72)発明者 竹中 敏
 長野県諏訪市大和3丁目3番5号 セイコ
 ーエプソン株式会社内
 (74)代理人 100095728
 弁理士 上柳 雅誉 (外1名)

最終頁に続く

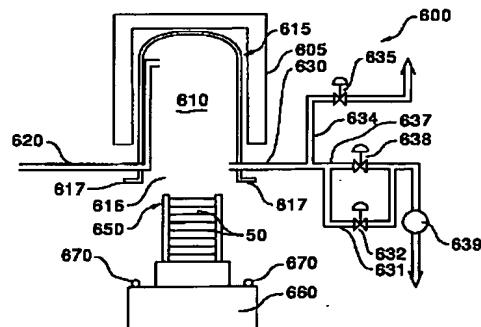
(54)【発明の名称】半導体装置の製造方法

(57)【要約】

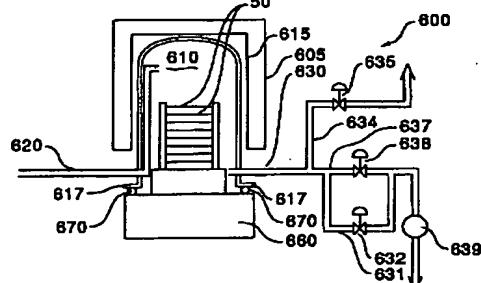
【課題】 非晶質の半導体膜を多結晶化させた半導体膜からTFTを形成した場合でも、オン電流特性をさらに向上させることができ、かつ、そのばらつきを圧縮することができる半導体装置の製造方法を提供すること。

【解決手段】 ガラス製等の基板50上に低温プロセスで非晶質シリコン膜からなる半導体膜を形成した後、レーザアニールを施して半導体膜を多結晶化させる(結晶化工程)。次に、基板20を熱処理装置600において温度が400°C~600°Cの高温雰囲気中での熱処理を行う(熱処理工程)。この際に、処理室610の内部を真空引きして処理室610内の汚れた大気を排出した後、清浄なガスを導入してから熱処理を行う。このため、半導体膜の表面を清浄に保つことができる。

(A)



(B)



【特許請求の範囲】

【請求項1】 基板上に非晶質の半導体膜を形成する半導体膜形成工程と、該半導体膜形成工程により形成した非晶質の半導体膜を多結晶化させる結晶化工程と、該結晶化工程を行った後の前記半導体膜に対して高温雰囲気中で熱処理を施す熱処理工程と、該熱処理工程を行った前記半導体膜を用いて薄膜トランジスタを形成するトランジスタ形成工程とを有し、
前記熱処理工程では、前記基板を熱処理するための処理室内を真空引きした後、該処理室内に所定のガスを導入し、かかる後に当該処理室内で熱処理を行なうことを特徴とする半導体装置の製造方法。

【請求項2】 請求項1において、前記熱処理工程では、前記処理室内が少なくとも 1.33×10^2 Pa以下の真空中度に到達するまで真空引きを行なうことを特徴とする半導体装置の製造方法。

【請求項3】 請求項1において、前記熱処理工程では、前記処理室内が少なくとも 1.33 Pa以下の真空中度に到達するまで真空引きを行なうことを特徴とする半導体装置の製造方法。

【請求項4】 請求項1において、前記熱処理工程では、前記処理室内が少なくとも 1.33×10^{-1} Pa以下の真空中度に到達するまで真空引きを行なうことを特徴とする半導体装置の製造方法。

【請求項5】 請求項1ないし4のいずれかにおいて、前記熱処理工程では、前記処理室内を真空引きした後、当該処理室内に非酸化性ガスを導入し、かかる後に当該処理室内で熱処理を行なうことを特徴とする半導体装置の製造方法。

【請求項6】 請求項1ないし4のいずれかにおいて、前記熱処理工程では、前記処理室内を真空引きした後、当該処理室内に窒素ガス、アルゴンガス、ヘリウムガス、水素ガス、弗素ガス、酸素ガス、あるいはこれらのガスの混合ガスを導入し、かかる後に当該処理室内で熱処理を行なうことを特徴とする半導体装置の製造方法。

【請求項7】 請求項1ないし6のいずれかにおいて、前記熱処理工程では、前記処理室内を真空引きしたときに真空中度が 1.33 Pa以下に達するまでの基板温度を 300 ℃以下に保持し、その後、当該処理室内に所定のガスを導入して熱処理を行なうことを特徴とする半導体装置の製造方法。

【請求項8】 請求項1ないし6のいずれかにおいて、前記熱処理工程では、熱処理温度を 600 ℃以下に設定して行なうことを特徴とする半導体装置の製造方法。

【請求項9】 請求項1ないし6のいずれかにおいて、前記熱処理工程では、熱処理温度を 400 ℃以上かつ 500 ℃未満に設定し、処理時間を3時間以上とすることを特徴とする半導体装置の製造方法。

【請求項10】 請求項1ないし6のいずれかにおいて、前記熱処理工程では、熱処理温度を 500 ℃以上か

600 ℃未満に設定し、処理時間を1時間以上かつ3時間未満とすることを特徴とする半導体装置の製造方法。

【請求項11】 請求項1ないし6のいずれかにおいて、前記熱処理工程では、熱処理温度を 600 ℃以上に設定し、処理時間を1時間未満とすることを特徴とする半導体装置の製造方法。

【請求項12】 請求項1ないし11のいずれかにおいて、前記熱処理工程の後、前記トランジスタ形成工程を行なう前に、

前記半導体膜に水素プラズマを照射するプラズマ照射工程を行なうことを特徴とする半導体装置の製造方法。

【請求項13】 請求項12において、前記熱処理工程を行なった以降、前記プラズマ照射工程を行なうまで前記半導体膜が大気に触れない状態下に前記基板を保持することを特徴とする半導体装置の製造方法。

【請求項14】 請求項13において、前記熱処理工程および前記プラズマ照射工程を同一の処理室内で行ない、前記熱処理工程を行なった以降、前記プラズマ処理工程を終了するまで当該処理室内に大気を導入しないことを特徴とする半導体装置の製造方法。

【請求項15】 請求項1ないし14のいずれかにおいて、前記半導体膜形成工程を行なった以降、前記トランジスタ形成工程で前記半導体膜表面にゲート絶縁膜を形成するまで、前記半導体膜が大気に触れない状態下に前記基板を保持することを特徴とする半導体装置の製造方法。

【請求項16】 請求項15において、前記半導体膜形成工程から前記熱処理工程までを同一の処理室内で行ない、前記半導体膜形成工程を行なった以降、前記熱処理工程を終了するまで当該処理室内に大気を導入しないことを特徴とする半導体装置の製造方法。

【請求項17】 請求項1ないし16のいずれかにおいて、前記トランジスタ形成工程では、前記半導体膜の表面にゲート絶縁膜を形成した後、該ゲート絶縁膜および前記半導体膜をパターニングすることを特徴とする半導体装置の製造方法。

【請求項18】 請求項1ないし17のいずれかにおいて、前記結晶化工程は、前記半導体膜に対するレーザアニール、電子ビームアニール、およびランプアニールのうちのいずれかのアニール処理であることを特徴とする半導体装置の製造方法。

【請求項19】 請求項1ないし18のいずれかにおいて、前記熱処理工程を行なった前記半導体膜を用いて同一基板上にN型の薄膜トランジスタおよびP型の薄膜トランジスタを形成することを特徴とする半導体装置の製造方法。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】 本発明は、非晶質の半導体膜

に対してレーザアニールなどの結晶化処理を施して得た多結晶性の半導体膜を能動層として用いた薄膜トランジスタ（以下、TFTといふ。）を備える半導体装置の製造方法に関するものである。

【0002】

【従来の技術】 TFTを備える各種の半導体装置のうち、TFTを液晶表示装置のアクティブ素子等として用いた装置を製造するにあたっては、石英基板に代えて、安価なガラス基板を使用できるように低温プロセスが採用されつつある。低温プロセスとは、一般に、工程の最高温度（基板全体が同時に上がる最高温度）が約600℃程度未満（好ましくは500℃未満）であるのに対して、高温プロセスとは工程の最高温度（基板全体が同時に上がる最高温度）が800℃程度以上になるものであり、シリコンの熱酸化等といった700℃～1200℃の高温の工程を行うものである。

【0003】但し、低温プロセスでは、基板の上に多結晶性の半導体膜を直接、形成する方法もあるが、結晶粒径が小さく、欠陥が多い膜になることが多い。従って、低温プロセスで結晶性の良好な多結晶半導体膜を得るには、プラズマCVD法あるいは低圧CVD法を用いて非晶質の半導体膜を形成した後、この半導体膜を結晶化する必要がある。この結晶化の方法としては、たとえばSPC法（Solid Phase Crystallization）やRTA法（Rapid Thermal Annealing）などといった手法があるが、XeCIを用いたエキシマレーザービームを照射することによるレーザアニール（ELA：Excimer Laser Annealing）によればガラス基板温度の上昇が抑えられ、かつ、大粒径の多結晶Siが得られるため、最近では主流になりつつある。

【0004】このレーザアニール法を用いた半導体装置の製造方法では、まず、図13（A）に示すように、ガラス製等の基板50を準備した後、図13（B）に示すように、基板50の全面にシリコン酸化膜からなる下地保護膜51をプラズマCVD法により形成する。次に、基板温度が約150℃から約450℃の温度条件下で基板30の全面に非晶質シリコン（非晶質）の半導体膜100をプラズマCVD法などの方法により形成する。次に、図13（C）に示すように、半導体膜100に対してレーザ光を照射してレーザアニール（結晶化工程）を施す。このレーザアニール工程では、たとえば、図4に示すように、レーザ光の照射領域LがX方向に長いラインビームL0を半導体膜100に照射し、その照射領域LをY方向にずらしていく。その結果、非晶質の半導体膜100は一度溶融し、冷却固化過程を経て多結晶化する。この際には、各領域へのレーザ光の照射時間が非常に短時間であり、かつ、照射領域Lが基板全体に対して局所的であるため、基板50全体が同時に高温に熱せられることがない。

【0005】次に、図13（D）に示すように、多結晶化した半導体膜100をフォトリソグラフィ技術を用いて島状にパターニングした後、その表面にゲート絶縁膜12、22、32、およびゲート電極14、24、34を順次形成するなど、周知のTFT製造工程を行う。ここで、図13（D）に示す3つの島状の半導体膜100は、それぞれ液晶表示装置のアクティブラマトリクス基板上に形成される駆動回路用のP型のTFT、駆動回路用のN型のTFT、および画素スイッチング用のN型のTFTを形成するための半導体膜である。

【0006】このようにしてTFTを製造すれば、低温プロセスでありながら、多結晶性の半導体膜100からTFTを製造できるので、オン電流が大きいTFTを製造できる。

【0007】

【発明が解決しようとする課題】このように、レーザアニールによって非晶質から多結晶化させた半導体膜100を用いたTFTは、比較的大きなオン電流が得られる傾向にはあるものの、TFTに対しては、さらなるオン電流特性の向上が一層望まれている。しかしながら、従来の製造方法ではこのような要求に対応できないという問題点がある。また、レーザアニールによって非晶質から多結晶化させた半導体膜100を用いたTFTは、TFT毎にオン電流の値がばらつきが大きいという問題点もある。

【0008】ここに、本願発明者は、レーザアニールによって結晶粒を成長させた後、例えば、図14（A）、（B）に示すような熱処理装置500によって半導体膜に対して熱処理を行なうことにより、結晶粒界の欠陥やシリコン膜に残る歪みを除去し、ゲート絶縁膜との界面準位を低減することによりTFTの電気特性の向上を図ることを提案するものである。

【0009】但し、図14（A）、（B）に示すような熱処理装置700において、例えば、基板ホルダ750に多段積みされた複数枚の基板50を窒素ガス雰囲気中で熱処理を行なおうとしても、図14（A）に示すように、熱処理を終えた基板50を熱処理装置700の処理室710から取り出して新たに基板50に交換する際に処理室710内に大気が侵入し、処理室710内に侵入した大気は、その後、図14（B）に示すように、処理室710内に窒素ガスなどを導入しながら排気管730から処理室710内の大気を排出しても、処理室710内の大気を完全に除去することはできない。その結果、処理室710内での大気の残り具合、すなわち、炭素、酸素、水分、ごみ、その他の汚染物質などの混入度合によって、熱処理後の半導体膜100の表面状態がばらついて、TFTの特性が低下したり、ばらつくという問題点が発生する。

【0010】以上の問題点に鑑みて、本発明の課題は、非晶質の半導体膜を多結晶化させた半導体膜からTFT

を形成した場合でも、オン電流特性をさらに向上させることができ、かつ、そのばらつきを圧縮することのできる半導体装置の製造方法を提供することにある。

【0011】

【課題を解決するための手段】上記課題を解決するため、本発明に係る半導体装置の製造方法では、基板上に非晶質の半導体膜を形成する半導体膜形成工程と、該半導体膜形成工程により形成した非晶質の半導体膜を多結晶化させる結晶化工程と、該結晶化工程を行った後の前記半導体膜に対して高温雰囲気中で熱処理を施す熱処理工程と、該熱処理工程を行った前記半導体膜を用いて薄膜トランジスタを形成するトランジスタ形成工程とを有し、前記熱処理工程では、前記基板を熱処理するための処理室内を真空引きした後、該処理室内に所定のガスを導入し、かかる後に当該処理室内で熱処理を行なうことを特徴とする。

【0012】本発明では、レーザアニールなどの結晶化工程によって結晶粒を成長させた後、半導体膜全体を括して熱処理するので、半導体膜中のダングリングボンドを除去することができるなど、結晶粒界の欠陥やシリコン膜に残る歪みを除去することができる。すなわち、本願発明者は、レーザアニール工程において、レーザ光の照射領域をずらしていくと、半導体膜の全面にレーザ光が照射されるものの、レーザ光の照射領域の端部分にはダングリングボンドが発生しやすいという新たな知見も得たが、本発明によれば、熱処理工程によって、このようなダングリングボンドを除去することができるという知見を得た。このような傾向は、レーザアニールに限らず、電子ビームアニールおよびランプアニールなど、半導体膜を部分的にアニールし、かつ、そのアニール領域をずらしていくアニール方法（結晶化処理）でも同様である。従って、本発明によれば、オン電流特性などが良好なTFTを備えた半導体装置を製造することができる。また、本発明では、熱処理工程において、処理室温度を例えれば400°C以下、好ましくは300°C以下の低温に保持したまま、基板を処理室内に設置し、そして、基板を熱処理するための処理室内を真空引きした後、処理室内に所定のガスを導入して、昇温を開始し、かかる後に処理室内で熱処理を行なうため、汚れた大気が存在しない清浄な雰囲気下で熱処理を行なうことができる。それ故、半導体膜表面の汚染や膜質の悪い酸化膜の生成を防止できるので、半導体膜の能動層とゲート絶縁膜との界面に余計な準位が発生するのを防止できる。それ故、TFTの電気特性が向上するとともに、電気特性の劣化やばらつきを抑えることができる。

【0013】本発明において、前記熱処理工程では、前記処理室内が少なくとも $1.33 \times 10^2 \text{ Pa}$ （パスカル）以下の真空度到達するまで真空引きを行なうことが好ましい。このようなレベルにまで真空引きすれば、処理室内に汚れた大気が多少、残っていたとしても、半導

体膜の表面をほぼ清浄に保ったまま熱処理工程を行なうことができるので、TFTの電気特性や信頼性のばらつきを抑えることができる。

【0014】本発明においては、前記処理室内が少なくとも1.33Pa以下の真空度に到達するまで真空引きを行なうことが好ましい。このようなレベルにまで真空引きすれば、処理室内に汚れた大気がほとんど残っていないものと見做すことができるので、半導体膜の表面を清浄に保ったまま熱処理工程を行なうことができる。それ故、TFTの電気特性や信頼性がばらつくのを防止することができる。

【0015】本発明において、前記処理室内が少なくとも $1.33 \times 10^{-1} \text{ Pa}$ 以下の真空度に到達するまで真空引きを行なうことがより一層、好ましい。このようなレベルにまで真空引きすれば、処理室内に汚れた大気が残っていない状態を確実に実現できるので、半導体膜の表面を清浄に保ったまま熱処理工程を行なうことができる。それ故、TFTの電気特性や信頼性がばらつくのを確実に防止することができる。

【0016】本発明において、前記熱処理工程では、前記処理室内を真空引きした後、当該処理室内に、例えば、非酸化性ガスを導入し、かかる後に当該処理室内で熱処理を行なう。このような非酸化性ガスであれば、半導体膜の表面に余計な酸化膜が形成されない。

【0017】本発明において、前記熱処理工程では、前記処理室内を真空引きした後、当該処理室内に、例えば、窒素ガス、アルゴンガス、ヘリウムガス、水素ガス、弗素ガス、酸素ガス、あるいはこれらのガスの混合ガスを導入し、かかる後に当該処理室内で熱処理を行なってよい。このようなガスのうち、不活性ガスなどであれば、半導体膜の表面が反応しない。また、酸素ガス、あるいは酸素ガスを含むガスであっても、清浄なガスであれば、半導体膜の表面には清浄な酸化膜が一定の膜厚で形成されるので、TFTを形成しても電気特性にばらつきを発生させない。

【0018】本発明において、前記熱処理工程では、前記処理室内を真空引きしたときに真空度が1.33Pa以下に達するまでの基板温度を300°C以下に保持し、その後、当該処理室内に所定のガスを導入して熱処理を行なうことが好ましい。

【0019】本発明において、前記熱処理工程は、熱処理温度を600°C以下に設定して行なうことが好ましい。例えば、前記熱処理工程において熱処理温度を400°C以上かつ500°C未満に設定した場合には、処理時間を3時間以上とすることが好ましい。さらに、前記熱処理工程において熱処理温度を500°C以上かつ600°C未満に設定した場合には、処理時間を1時間以上かつ3時間未満とすることが好ましい。

【0020】さらにまた、前記熱処理工程において熱処理温度を600°C以上に設定した場合には、処理時間を

1時間未満とすることが好ましい。

【0021】本発明において、前記熱処理工程の後、前記トランジスタ形成工程を行なう前に、前記半導体膜に水素プラズマを照射するプラズマ照射工程を行なうことが好ましい。このように、熱処理工程で半導体膜中の欠陥や歪みを除去した後、水素プラズマを照射すれば、短時間の水素プラズマ処理で半導体膜中のダングリングボンドを完全に除去することができる。また、熱処理工程を行っても、半導体膜の表面が清浄であるので、水素プラズマ処理を効果的に行なうことができる。

【0022】この場合、前記熱処理工程を行なった以降、前記プラズマ照射工程を行なうまで前記半導体膜が大気に触れない状態下に前記基板を保持することが好ましい。このように構成すると、半導体膜の表面が大気によって汚染されることはなく、また、半導体膜の表面に余計な酸化膜が形成されないので、ゲート絶縁膜との界面に余計な準位が発生しない。

【0023】このような条件は、前記熱処理工程および前記プラズマ照射工程を同一の処理室内で行ない、前記熱処理工程を行なった以降、前記プラズマ処理工程を終了するまで当該処理室内に大気を導入しないことにより、容易に実現できる。

【0024】本発明において、前記半導体膜形成工程を行なった以降、前記トランジスタ形成工程で前記半導体膜表面にゲート絶縁膜を形成するまで、前記半導体膜が大気に触れない状態下に前記基板を保持することが好ましい。このように構成すると、半導体膜が大気によって汚染されることはなく、また、半導体膜の表面に余計な酸化膜が形成されないので、ゲート絶縁膜との界面に余計な準位が発生しない。

【0025】このような条件は、前記半導体膜形成工程から前記熱処理工程までを同一の処理室内で行ない、前記半導体膜形成工程を行なった以降、前記熱処理工程を終了するまで当該処理室内に大気を導入しなければ、容易に実現できる。

【0026】本発明において、前記トランジスタ形成工程では、前記半導体膜表面にゲート絶縁膜を形成した後、当該ゲート絶縁膜と前記半導体膜とをパターニングすることが好ましい。このように構成すると、半導体膜表面に直接、レジストマスクを形成しないので、半導体膜の表面がレジストで汚染されるのを防止することができる。それ故、ゲート絶縁膜との界面に余計な準位が発生しない。

【0027】本発明において、前記結晶化工程は、たとえば、前記半導体膜に対するレーザアニール、電子ビームアニール、およびランプアニールである。

【0028】このような熱処理条件は、前記熱処理工程を行なった前記半導体膜を用いて同一基板上にN型のTFTおよびP型のTFTを形成する場合に効果的である。すなわち、結晶化工程後に行なう熱処理工程の条件がTFT

Tの特性に及ぼす影響は、N型のTFTを形成する場合と、P型のTFTを形成する場合との間で相違するため、双方のTFTにおいて特性向上を図ることのできる熱処理条件で行なうことが好ましい。たとえば、熱処理温度を600℃以上とした場合には、P型のTFTでは、処理時間を17時間位に設定しても、オン電流特性が向上するのに対して、N型のTFTでは、処理時間を17時間位に設定すると、処理時間が1時間の場合に比較して、オン電流特性が低下するからである。

10 【0029】

【発明の実施の形態】図面を参照して、本発明の実施の形態として、本発明を液晶表示装置のアクティブマトリクス基板（半導体装置）上に駆動回路用のP型のTFT、駆動回路用のN型のTFT、および画素スイッチング用のN型のTFTを形成する例を説明する。

【0030】【実施の形態1】

（アクティブマトリクス基板の全体構成）図1（A）、（B）は、液晶表示装置のアクティブマトリクス基板の構成を模式的に示すブロック図、およびその駆動回路を構成するCMOS回路の等価回路図である。図2は、図1に示すアクティブマトリクス基板上に形成した3種類のTFTの断面図である。

【0031】図1（A）に示すように、液晶表示装置用のアクティブマトリクス基板200において、ガラス製などの透明な基板のうち、略中央領域に相当する画面表示領域81では、アルミニウム、タンタル、モリブデン、チタン、タングステンなどの金属膜、シリサイド膜、導電性半導体膜などで形成されたデータ線90および走査線91によって画素が区画形成され、各画素には、画素スイッチング用のTFT30を介して画像信号が入力される液晶容量94（液晶セル）が形成されている。データ線90に対しては、シフトレジスタ84、レベルシフタ85、ビデオライン87、アナログスイッチ86を備えるデータ側駆動回路60が構成されている。走査線91に対しては、シフトレジスタ88およびレベルシフタ89を備える走査側駆動回路70が構成されている。なお、各画素には、走査線91と並行に延びる容量線92との間に保持容量40が形成され、この保持容量40は、液晶容量94での電荷の保持特性を高める機能を有している。この保持容量40は、前段の走査線91との間に形成されることもある。

【0032】データ側および走査側の駆動回路60、70では、図1（B）に示すように、N型のTFT10とP型のTFT20とによってCMOS回路が構成されている。このようなCMOS回路は、駆動回路60、70において1段あるいは2段以上でインバータ回路などを構成する。

【0033】（アクティブマトリクス基板200上のTFT）従って、図2に示すように、アクティブマトリクス基板200では、ガラス製の透明な基板50の表面側

には、駆動回路用のN型のTFT10、駆動回路用のP型のTFT20、および画素スイッチング用のN型のTFT30からなる3種類のTFTが形成されている。

【0034】このアクティブマトリクス基板200において、基板50の表面側にはシリコン酸化膜からなる下地保護膜51が形成され、この下地保護膜51の表面には、島状にパターニングされた多結晶性の半導体膜100が形成されている。これらの半導体膜100は、それぞれ、駆動回路用のN型のTFT10、駆動回路用のP型のTFT20、および画素スイッチング用のN型のTFT30を形成するためのもので、各半導体膜100の表面側にはゲート絶縁膜12、22、32が形成されている。これらのゲート絶縁膜12、22、32の表面にはゲート電極14、24、34がそれぞれ形成され、これらのゲート電極のうち、画素スイッチング用のN型のTFT30のゲート電極34は走査線91(図1参照)の一部である。また、各半導体膜100には、ゲート電極14、24、34に対してゲート絶縁膜12、22、32を介して対峙する領域にチャネル領域15、25、35が形成されている。これらチャネル領域15、25、35の両側には、ゲート電極14、24、34に対してゲート絶縁膜12、22、32を介して対峙する低濃度ソース・ドレイン領域17、27、37がそれぞれ形成されている。また、低濃度ソース・ドレイン領域17、27、37の両側には、高濃度ソース・ドレイン領域16、26、36がそれぞれ形成され、これらの高濃度ソース・ドレイン領域16、26、36には層間絶縁膜52のコンタクトホールを介してソース電極41、43、ドレイン電極42、データ線90(図1参照)の一部であるソース電極44、および画素電極45がそれぞれ電気的に接続している。

【0035】(半導体装置の製造方法)このような構成のアクティブマトリクス基板200(半導体装置)の製造方法を、図3、図4、図5、図6を参照して説明する。

【0036】図3および図6はいずれも、本形態のアクティブマトリクス基板200の製造方法を示す工程断面図である。図4は、アクティブマトリクス基板200を製造する際に用いるレーザアニール装置、およびこの装置を用いて行うレーザアニール方法の説明図である。図5は、アクティブマトリクス基板を製造する際、熱処理工程で用いる熱処理装置の説明図であり、図5(A)は、熱処理工程を開始する直前の様子を示す説明図であり、図5(B)、熱処理工程を行なっている様子を示す説明図である。

【0037】まず、図3(A)において、超音波洗浄等により清浄化したガラス製等の基板50を準備した後、基板温度が約150℃から約450℃の温度条件下で、図3(B)に示すように、基板50の全面に厚さが200nm~500nmのシリコン酸化膜からなる下地保護

膜51をプラズマCVD法により形成する。このときの原料ガスとしては、たとえばモノシランと笑気ガスとの混合ガスやTEOS(テトラエトキシシラン)と酸素、あるいはジシランとアンモニアを用いることができる。

【0038】次に、ガラス製の基板50を熱変形させることなく、基板50上に多結晶性の半導体膜を形成する必要がある。このような制約下で多結晶の半導体膜を形成するには、図3(B)に示すように、基板温度が約150℃から約450℃の温度条件下で基板50の全面に厚さが30nm~70nmの非晶質シリコン膜からなる半導体膜100をプラズマCVD法により形成する。このときの原料ガスとしては、たとえばジシランやモノシランを用いることができる(半導体膜形成工程)。なお、低温条件下で基板50上に非晶質の半導体膜100を形成する方法としては、プラズマCVD法に代えて、減圧CVD法、EB蒸着法、スパッタ法などを用いてもよい。

【0039】次に、図3(C)に示すように、半導体膜100に対してレーザ光を照射してレーザアニールを施す(結晶化工程)。

【0040】この結晶化工程では、例えば、図4に示すように、レーザアニール装置300において、レーザ光源320から出射したレーザ光(エキシマレーザ)を光学系325を介して、ステージ310上に載置された基板50に向けて照射する。この際には、照射領域LがX方向に長いラインピームL0(たとえば、レーザパルスの繰り返し周波数が200Hzのラインピーム)を半導体膜100に照射し、その照射領域LをY方向にずらしていく。ここで、ラインピームL0のピーム長が400mmであり、その出力強度はたとえば200mJ/cm²である。また、レーザ光の照射領域LをY方向にずらしていく際には、その幅方向におけるレーザ強度のピーク値の90%に相当する部分が各領域毎に重なるようにラインピームを走査していく。その結果、非晶質の半導体膜100は一度溶融し、冷却固化過程を経て多結晶化する。この際には、各領域へのレーザ光の照射時間が非常に短時間であり、かつ、照射領域Lが基板全体に対して局所的であるため、基板50全体が同時に高温に熱せられることがない。それ故、基板50として用いたガラス基板は、石英基板と比較して耐熱性の面で劣るが、熱による変形や割れ等が生じない。

【0041】次に、図3(D)に示すように、半導体膜100に対する結晶化工程を終えた基板20を、図5(A)、(B)を参照して後述する熱処理装置600に入れて、半導体膜100に対して温度が400℃~600℃の高温雰囲気中の熱処理を行う(熱処理工程)。

【0042】ここで行う熱処理は、半導体膜100の結晶化を高めるためというより、むしろ半導体膜100に残るダングリングボンドを除去することを主な目的とする。すなわち、非晶質の半導体膜100をレーザアニ

ルで多結晶化させた後には、結晶粒界にダングリングボンドが多数、存在し、このダングリングボンドに起因するトラップ準位がTFTのオン電流特性の向上を妨げ、かつ、そのばらつきの要因となる。また、図4を参照して説明した結晶化工程においては、レーザ光の照射領域LをY方向にずらしていくので、半導体膜100の全面にレーザ光が照射されるものの、レーザ光の照射領域Lの端部分にはダングリングボンドが発生しやすい。そこで、本形態では、レーザアニール後に半導体膜100全体を一括して熱処理し、ダングリングボンドを除去する。

【0043】図5 (A)、(B)において、本形態で用いた熱処理装置600は、概ね、電気炉605、内部が処理室610とされるリアクタ615、このリアクタ615の下端開口616から内側(処理室610内)に多数の基板50を一括して出し入れするための基板ホルダ650とから構成されている。

【0044】基板ホルダ650の基台660上面には、Oリング670が配置されており、図5 (A)に示す状態から図5 (B)に示すように基板ホルダ650を上昇させてリアクタ615内に挿入した状態においてリアクタ615の下端部617と基台660の上面とはOリング670によって気密状態となる。

【0045】リアクタ615の下端部近くには、1系統あるいは複数系統のガス供給管620と、排気管630とが接続され、これらの管はいずれもリアクタ615の内部に連通している。排気管630は、途中で2本に分岐しており、一方の排気管634の途中位置にはベントバルブ635が介挿され、他方の排気管637の途中位置には、高真空引き用のメインバルブ638と、真空ポンプ639とが介挿されている。また、排気管637に対しては、メインバルブ638に対して並列に粗引き用のバイパス管631が配置され、この粗引き用のバイパス管631にはバイパスバルブ632が介挿されている。本形態において、真空ポンプ639は、ドライポンプとメカニカルポンプとを組み合わせて用いられている。

【0046】このように構成した熱処理装置600では、以下に説明する手順に従って、基板50表面の半導体膜100に対する熱処理工程が行われる。

【0047】まず、図5 (A)に示すように、熱処理工程を開始する直前には、リアクタ615の下方位置まで基板ホルダ650が降下しており、この状態では、リアクタ615の下端開口616が解放状態にある。このため、リアクタ615の内側(処理室610)には、汚れた大気が侵入した状態にある。この時点では、ガス供給管620からはガスは供給されておらず、かつ、ベントバルブ635、バイパスバルブ632および真空引きインバルブ638は、いずれも閉状態にある。また、電気炉605に対する給電は、低く抑えられているか、あ

るいは、停止した状態にあり、処理室610の温度は、400°C以下、好ましくは300°C以下に保持されている。

【0048】この状態から熱処理工程を開始するときには、基板ホルダ650を上昇させて、図5 (B)に示すように、基板ホルダ650をリアクタ615内に挿入した状態とする。

【0049】次に、バイパスバルブ632を開状態にするとともに、真空ポンプ639を作動させ、リアクタ6

10 15の内部(処理室610)をある程度の真空度にまで真空引きする。この真空引きを行うときには、ガス供給管620からはガスが供給されておらず、かつ、ベントバルブ635および真空引きメインバルブ638は、閉状態にある。

【0050】このようにして粗引きを行った後、真空引きメインバルブ638を開状態にする一方、バイパスバルブ632を閉状態にする。このとき、真空ポンプ639は作動させたままであり、これにより、リアクタ615の内部(処理室610)を所定の真空度にまで真空引きする。この真空引きを行うときも、ガス供給管620からはガスが供給されておらず、かつ、ベントバルブ635は閉状態にある。

【0051】このようにして、リアクタ615の内部を真空引きして、処理室610内から汚れた大気を排出する。このような真空引きは、例えば、処理室610内が少なくとも $1.33 \times 10^2 \text{ Pa}$ (パスカル)以下の真空度到達するまで行なう。

【0052】次に、真空引きメインバルブ638を閉状態にするとともに、真空ポンプ639を停止させる。

30 【0053】次に、ガス供給管620から窒素ガスを処理室610内に供給し、所定のタイミングでベントバルブ635を開状態にする。その結果、処理室610内では、窒素ガスが流れる状態になって、処理室610内は窒素ガス雰囲気となる。

【0054】次に、電気炉605に対する給電を開始し、処理室610内を所定の温度にまで加熱して、基板50の表面に形成されている半導体膜100に熱処理を施す。

【0055】従って、本形態では、処理室610内を真空引きしたときに真空度が 1.33 Pa 以下に達するまで、基板温度が400°C以下、好ましくは、300°C以下に保持され、その後、処理室610内に所定のガスを導入し、かかる後に基板温度を高めて熱処理を行なうことになる。

【0056】かかる後には、電気炉605に対する給電を停止し、処理室610内の温度が所定の温度以下になった時点で、図5 (A)に示すように、基板ホルダ650を処理室610内が取り出す。

【0057】このようにして、本形態では、基板50表面の半導体膜100に対して窒素ガス雰囲気中で熱処理

を施す。ここで行う熱処理条件は、熱処理温度を600°C以下に設定して行う。例えば、熱処理工程において熱処理温度を400°C以上かつ500°C未満に設定した場合には、処理時間を3時間以上とする。また、熱処理工程において熱処理温度を500°C以上かつ600°C未満に設定した場合には、処理時間を1時間以上かつ3時間未満とする。さらに、熱処理工程では、熱処理温度を600°C以上に設定した場合には、処理時間を1時間未満とする。

【0058】このようにして半導体膜100を改質した後、この半導体膜100を用いてTFTを形成していく（トランジスタ形成工程）。

【0059】それにはまず、図6（A）に示すように、多結晶の半導体膜100を島状にパターニングした後、その表面側に対して、TEOS（テトラエトキシシリコン）や酸素ガスなどを原料ガスとしてプラズマCVD法により厚さが60nm～150nmのシリコン酸化膜からなるゲート絶縁膜12、22、32を形成する（ゲート絶縁膜形成工程）。

【0060】次に、アルミニウム、タンタル、モリブデン、チタン、タンクスチタンなどを含む導電膜をスパッタ法により形成した後、導電膜をパターニングし、各TFTのゲート電極14、24、34を形成する（ゲート電極形成工程）。

【0061】次に、図6（B）に示すように、駆動回路用のN型のTFT10および画素スイッチング用のN型の画素用TFT30の各形成領域をレジストマスク181で覆う。この状態で、約 10^{15} cm⁻²のドーズ量でボロンイオンを打ち込むと、半導体膜100にはゲート電極24に対して自己整合的に不純物濃度が約 10^{18} cm⁻³の低濃度P型領域23が形成される。なお、不純物が導入されなかった部分がチャネル領域25となる。

【0062】この低濃度の不純物打ち込みの工程を行わなければ、P型の駆動回路用TFT20はLDD構造ではなく、オフセットゲート構造となる。

【0063】次に、図6（C）に示すように、駆動回路用のP型のTFT20の形成領域をレジストマスク182で覆う。この状態で、約 10^{15} cm⁻²のドーズ量でリニオンを打ち込むと、半導体膜100にはゲート電極14、34に対して自己整合的に不純物濃度が約 10^{18} cm⁻³の低濃度N型領域13、33が形成される。なお、不純物が導入されなかった部分がチャネル領域15、35となる。

【0064】この低濃度の不純物打ち込みの工程を行わなければ、N型の駆動回路用TFT10、およびN型の画素用TFT30はLDD構造ではなく、オフセットゲート構造となる。

【0065】次に、図6（D）に示すように、駆動回路用のN型のTFT10および画素スイッチング用のN型の画素用TFT30の形成領域に加えて、ゲート電極2

4をも広めに覆うレジストマスク183を形成する。この状態で、低濃度P型領域23に約 10^{15} cm⁻²のドーズ量でボロンイオンを打ち込んで、不純物濃度が約 10^{20} cm⁻³の高濃度ソース・ドレイン領域26を形成する。低濃度P型領域23のうちレジストマスク183で覆われていた部分は、そのまま低濃度ソース・ドレイン領域27として残る。このようにして駆動回路用のP型のTFT20を形成する。

【0066】次に、図6（E）に示すように、駆動回路用のP型のTFT20の形成領域に加えて、ゲート電極14、34をも広めに覆うレジストマスク184を形成する。この状態で、低濃度N型領域13、23に約 10^{15} cm⁻²のドーズ量でリンイオンを打ち込んで、不純物濃度が約 10^{20} cm⁻³の高濃度ソース・ドレイン領域16、36を形成する。低濃度N型領域13、23のうち、レジストマスク184で覆われていた部分は、そのまま不純物濃度が約 10^{18} cm⁻³の低濃度ソース・ドレイン領域17、37として残る。このようにして、駆動回路用のN型のTFT10および画素スイッチング用のN型の画素用TFT30を形成する。

【0067】以降、図2に示すように、層間絶縁膜52を形成した後、活性化のためのアニールを行い、しかる後にコンタクトホールを形成した後、ソース41、43、ドレイン電極42、および画素電極45を形成すれば、アクティブマトリクス基板200を製造できる。

【0068】なお、低濃度の不純物導入を行わずに、ゲート電極14、24、34をマスクにして高濃度の不純物を打ち込んで、ゲート電極14、24、34にセルフアライン的にソース領域およびドレイン領域を形成してもよい。

【0069】（熱処理条件とTFTの特性との関係）このようにして製造したアクティブマトリクス基板200では、熱処理工程において半導体膜100全体を加熱することにより、半導体膜100中のダンギングボンドを効率よく除去する。従って、駆動回路用の各TFT10、20においてオン電流特性が向上する。それ故、駆動回路において、動作速度を向上することができるなどの利点がある。

【0070】ここで、熱処理条件とTFTの特性との関係について、図7および図8を参照して説明する。図7は、N型のTFTにおいて、熱処理温度を400°C、500°C、600°Cにしたときの熱処理時間とTFTのオン電流との関係を示すグラフであり、それぞれの関係を実線L11、一点鎖線L12および点線L13で示す。また、図8は、P型のTFTにおいて、熱処理温度を400°C、500°C、600°Cにしたときの熱処理時間とTFTのオン電流との関係を示すグラフであり、それぞれの関係を実線L21、一点鎖線L22および点線L23で示す。

【0071】まず、図7からわかるように、N型のT

Tにおいて、熱処理温度を400℃にしたときに、処理時間が3時間ではTFTのオン電流が従来のレベルとあまり相違ないが、処理時間を延ばす程、TFTのオン電流が向上し、処理時間を3時間以上に設定すれば、目標とするオン電流レベルを得ることができる。また、熱処理温度が500℃にしたときには、処理時間を延ばす程、TFTのオン電流が向上するが、処理時間が1時間でも目標とするオン電流レベルを得ることができる。さらに、熱処理温度が600℃にしたときには、処理時間が1時間では目標とするオン電流レベルを得ることができるが、処理時間を延ばすとオン電流レベルが低下する傾向にある。

【0072】また、これらの条件で熱処理工程を行った半導体膜について電子スピニ共鳴を利用してダングリングボンド密度を測定したところ、熱処理効果が十分でないと見做された半導体膜(400℃で1時間の熱処理)のダングリングボンド密度は $1.3 \times 10^{18} \text{ cm}^{-3}$ であったのに対して、十分な熱処理効果が得られた半導体膜(600℃で1時間の熱処理)のダングリングボンド密度は $7.8 \times 10^{17} \text{ cm}^{-3}$ であり、適正な熱処理を行えば、ダングリングボンド密度をかなり低下させることができる。

【0073】これに対して、図8からわかるように、P型のTFTにおいても、熱処理温度を400℃にしたときに、処理時間が3時間ではTFTのオン電流が従来のレベルとあまり相違ないが、処理時間を延ばす程、TFTのオン電流が向上し、処理時間を3時間以上に設定すれば、目標とするオン電流レベルを得ることができる。また、熱処理温度が500℃にしたときには、処理時間を延ばす程、TFTのオン電流が向上するが、処理時間が1時間でも目標とするオン電流レベルを得ることができる。さらに、N型のTFTと違って、P型のTFTでは、熱処理温度が600℃にしたときでも、処理時間を延ばす程、TFTのオン電流が向上する傾向にあり、処理時間が1時間でも目標とするオン電流レベルを得ることができる。

【0074】このように、結晶化工程後に行う熱処理工程の条件がTFTの特性に及ぼす影響は、熱処理温度を600℃以上とした場合には、N型のTFTを形成する場合と、P型のTFTを形成する場合との間で相違する。すなわち、熱処理温度を600℃以上とした場合には、P型のTFTでは、処理時間を17時間位に設定しても、オン電流特性が向上するのに対して、N型のTFTでは、処理時間を17時間位に設定すると、処理時間が1時間の場合に比較して、オン電流が特性が低下する傾向にある。このため、双方のTFTにおいて特性向上を図ることのできる熱処理条件で行うという観点からすれば、熱処理工程において、熱処理温度を400℃以上かつ500℃未満に設定した場合には、処理時間を3時間以上とする。また、熱処理工程において、熱処理温度

を500℃以上かつ600℃未満に設定した場合には、処理時間を1時間以上かつ3時間未満とする。さらに、熱処理工程において、熱処理温度を600℃以上に設定した場合には、N型のTFTにおけるオン電流特性の低下を避けるために処理時間を1時間未満とする。

【0075】また、本形態では、熱処理工程において、処理室610の温度を400℃以下、好ましくは300℃以下に保持したまま、基板50を処理室610内に設置し、次に、基板50を熱処理するための処理室610内を真空引きした後、処理室610内に、窒素ガスなどといった所定のガスを導入し、そして昇温を開始し、かかる後に処理室610内で熱処理を行なうため、汚れた大気が存在しない清浄な雰囲気下で熱処理を行なうことができる。それ故、半導体膜100の表面が大気で汚染されることはなく、また、半導体膜100の表面に、膜質の悪い酸化膜などが形成されることもない。それ故、半導体膜100の能動層とゲート絶縁膜との界面に余計な準位が発生するなどの不具合の発生を防止することができる、TFTの電気特性の劣化、およびばらつきの発生を防止することができる。

【0076】なお、熱処理を開始する前、処理室610内を真空引きするときの条件として、上記形態では、処理室610内を少なくとも $1.33 \times 10^2 \text{ Pa}$ (パスカル)以下の真空度到達するまで真空引きを行えば、処理室610内に汚れた大気が多少、残っていたとしても、半導体膜100の表面をほぼ清浄に保ったまま熱処理工程を行なうことができる。なお、処理室610内を少なくとも 1.33 Pa 以下の真空度に到達するまで真空引きを行なうことが好ましい。このようなレベルにまで真空引きすれば、処理室610内に汚れた大気がほとんど残っていないものと見做すことができるので、半導体膜100の表面を清浄に保ったまま熱処理工程を行なうことができる。さらに、処理室610内が少なくとも $1.33 \times 10^{-1} \text{ Pa}$ 以下の真空度に到達するまで真空引きを行なうことが好ましい。このようなレベルにまで真空引きすれば、処理室610内に汚れた大気が残っていない状態を確実に実現できる。

【0077】また、上記形態では、窒素ガス雰囲気中で熱処理工程を行ったため、半導体膜100の表面が反応しないが、処理室610内には、真空引きした後、窒素ガス、アルゴンガス、ヘリウムガス、水素ガス、弗素ガス、酸素ガス、あるいはこれらのガスの混合ガスを導入し、かかる後に処理室610内で熱処理を行なってよい。このようなガスのうち、非酸化性ガスや不活性ガスなどであれば、半導体膜100の表面で酸化反応などが起こらない。また、酸素ガス、あるいは酸素ガスを含むガスなどであっても、清浄なガスであれば、半導体膜100の表面には清浄な酸化膜が一定の膜厚で形成されるなど、半導体膜100の表面の変化が予め想定できるので、TFTの用途などに応じて、好適なガスを供給す

ばよい。

【0078】なお、上記形態では、結晶化工程としてラインビームを用いてレーザアニールを行い、このレーザアニールによって生成したダングリングボンドを熱処理工程で除去する構成であったが、ラインビームに代えてドットビームを用いてレーザアニール（結晶化工程）を行った場合にも、結晶粒界やドット状の照射領域の端部にダングリングボンドが発生する。また、レーザアニールに限らず、電子ビームアニールやランプアニールを結晶化工程として行った場合にも、その照射領域をずらしていくので、結晶粒界やドット状の照射領域の端部にダングリングボンドが発生する。従って、ドットビームを用いたレーザアニール、電子ビームアニール、あるいはランプアニールを結晶化工程として行った場合にも、その後に、半導体膜100に対して高温雰囲気中で熱処理（熱処理工程）を行うと、半導体膜100に残るダングリングボンドを除去することができる。

【0079】【実施の形態2】実施の形態1では、半導体膜100に対する熱処理工程の後、すぐトランジスタ形成工程を行ったが、図9および図10を参照して以下に説明するように、本形態では、熱処理工程の後、トランジスタ形成工程を行う前に水素プラズマ照射工程を行うことに特徴を有する。また、実施の形態1では、トランジスタ形成工程において、半導体膜100に対するパターニングを行い、その後、半導体膜100の表面にゲート絶縁膜12、22、32を形成したが、本形態では、半導体膜100を形成した後、ゲート絶縁膜を形成し、かかる後に半導体膜100およびゲート絶縁膜をパターニングすることに特徴を有する。なお、その他の構成は、実施の形態1と同様であるため、共通する部分について、詳細な説明を省略する。

【0080】図9および図10はいずれも、本形態のアクティブマトリクス基板200の製造方法を示す工程断面図である。

【0081】本形態では、アクティブマトリクス基板200（半導体装置）を製造するにあたって、実施の形態1と同様、図9（A）に示すように、ガラス製等の基板50を準備した後、図9（B）に示すように、基板温度が約150℃から約450℃の温度条件下で基板50の全面に厚さが200nm～500nmのシリコン酸化膜からなる下地保護膜51をプラズマCVD法により形成し、かかる後に、図9（C）に示すように、半導体膜100に対してレーザ光を照射してレーザアニールを施す（結晶化工程）。

【0082】次に、図9（D）に示すように、半導体膜100に対する結晶化工程を終えた基板20を、図5（A）、（B）を参照して説明した熱処理装置600をプラズマ処理装置に構造変更を施した装置を用いて、半導体膜100に対して温度が400℃～600℃の高温雰囲気中で熱処理を行う（熱処理工程）。但し、本形態

でも、熱処理工程では、図5（A）、（B）を参照して説明したように、リアクタ615の温度を400℃以下、好ましくは、300℃以下に保持したまま、基板50をリアクタ615内に設置し、そして、リクアタ615の内部（処理室610）を真空引きして、処理室610内から汚れた大気を排出した後、窒素ガスなどの清浄なガスを処理室610内に導入し、この窒素ガス雰囲気中で熱処理工程を行う。

【0083】次に、本形態では、図9（E）に示すように、基板50の表面に形成された半導体膜100に対して水素プラズマを照射する（水素プラズマ照射工程）。

【0084】本形態では、半導体膜100に対する熱処理工程を終えた基板50を大気にさらすことなく、水素プラズマ照射工程を行うことを目的に、図5（A）、（B）を参照して説明した熱処理装置600に対して、棒状の高周波電極あるいはコイル電極を備えるプラズマ発生装置（図示せず）、あるいは平行平板型の容量結合タイプのプラズマ発生装置を付加し、かつ、ガス供給管620から水素ガスを処理室610に供給することにより、熱処理装置600をプラズマ処理装置として用いる。すなわち、図5（A）、（B）に示す熱処理装置600において窒素ガス雰囲気中で熱処理を行った後、基板50を処理室610内に配置したまま、処理室610内から窒素ガスを排出し、かかる後に、ガス供給管620から処理室610内に水素ガス、あるいは水素ガスと窒素ガスとの混合ガスを供給するとともに、真空ポンプ639によって内圧を $0.66 \times 10^2 \text{ Pa}$ ～ $2.66 \times 10^2 \text{ Pa}$ に保ち、かつ、温度を200℃～400℃の条件下でプラズマ発生装置によってプラズマを発生させる。

【0085】このため、本形態では、半導体膜100は、熱処理工程が施された後、大気にさらされることなく、水素プラズマが照射されるので、熱処理が施された半導体膜100は、表面が汚染されず、かつ、酸化膜などがない状態で水素プラズマが照射されることになる。

【0086】このように、熱処理工程で半導体膜100中の欠陥や歪みを除去した後、水素プラズマを照射すれば、水素プラズマ処理単独であれば2時間以上の処理時間がかかっていたのを、かなり短い時間の水素プラズマ処理で半導体膜100中のダングリングボンドを完全に除去することができる。また、水素プラズマを照射する前に熱処理工程を行っても、熱処理工程で半導体膜100の表面に汚染や膜質の悪い酸化膜が形成されないので、水素プラズマ処理を効果的に行うことができる。

【0087】このようにして半導体膜100を改質した後、この半導体膜100を用いてTFTを形成していく（トランジスタ形成工程）。

【0088】このトランジスタ形成工程において、本形態では、まず、図10（A）に示すように、パターニング前の多結晶の半導体膜100の表面側に対して、TE

OS (テトラエトキシシラン) や酸素ガスなどを原料ガスとしてプラズマCVD法により厚さが60 nm～150 nmのシリコン酸化膜からなるゲート絶縁膜102を形成する（ゲート絶縁膜形成工程）。

【0089】次に、図10 (B) に示すように、ゲート絶縁膜102の表面にレジストマスク185を形成する。

【0090】次に、このレジストマスク185を介してエッチングを行い、ゲート絶縁膜102および半導体膜100を一括あるいは連続してパターニングする。その結果、図10 (C) に示すように、半導体膜100は、島状にパターニングされるとともに、その表面にはゲート絶縁膜12、22、32が残る。

【0091】以降、実施の形態1と同様な工程を行なって、図10 (D) に示すように、TFT10、20、30を形成する。なお、本形態に係る方法で製造したアクティブマトリクス基板200では、半導体膜100の側面にゲート絶縁膜12、22、32がない他は、図2を参照して説明したものと同様であるため、共通する部分には同一の符号を付して図10 (D) に示すことにして、それらの説明を省略する。

【0092】【その他の実施の形態】上記形態1、2では、図5 (A)、(B) に示す熱処理装置600、あるいはそれを改良してプラズマ処理装置として用いたが、半導体膜形成工程から熱処理工程までの全ての工程、あるいは半導体膜形成工程からプラズマ照射工程までの全ての工程をプラズマCVD装置の処理室に行ってよい。この場合に、各工程が全て終了するまでプラズマCVD装置の処理室に大気の導入を禁止すれば、半導体膜形成工程を行なった以降、トランジスタ形成工程で半導体膜100の表面にゲート絶縁膜を形成するまで、半導体膜100が大気に触れない状態下に基板50を保持することができる。このように構成すると、半導体膜100が大気によって汚染されることは一切なく、また、半導体膜100の表面に余計な酸化膜が一切、形成されないので、半導体膜100とゲート絶縁膜12、22、32との界面に余計な準位が発生しない。

【0093】【液晶パネルの構成】このような方法で形成されたアクティブマトリクス基板100を用いて液晶表示用の液晶パネルを構成した例を、図11および図12を参照して説明する。

【0094】図11および図12はそれぞれ、本形態に係る液晶表示装置に用いた液晶パネルを対向基板の側からみた平面図、および図11のH-H'線で切断したときの液晶パネルの断面図である。

【0095】図11および図12において、液晶表示装置に用いる液晶パネル1は、画素電極45がマトリクス状に形成されたアクティブマトリクス基板200と、対向電極532および遮光膜531が形成された対向基板400と、これらの基板間に封入、挟持されている液晶

539とから概略構成されている。アクティブマトリクス基板200と対向基板400とは、対向基板400の外周縁に沿って形成されたギャップ材含有のシール材552によって所定の間隙を介して貼り合わされている。また、アクティブマトリクス基板200と対向基板400との間には、シール材552によって液晶封入領域540が区画形成され、この液晶封入領域540内に液晶539が封入されている。この液晶封入領域540内において、アクティブマトリクス基板200と対向基板400との間にはスペーサ537が介在している。シール材552としては、エポキシ樹脂や各種の紫外線硬化樹脂などを用いることができる。また、シール材552に配合されるギャップ材としては、約2 μm～約10 μmの無機あるいは有機質のファイバ若しくは球などが用いられる。

【0096】対向基板400はアクティブマトリクス基板200よりも小さく、アクティブマトリクス基板200の周辺部分は、対向基板400の外周縁よりはみ出た状態に貼り合わされる。従って、アクティブマトリクス基板200の駆動回路（走査線駆動回路70やデータ線駆動回路60）や入出力端子545は対向基板400から露出した状態にある。ここで、シール材552は部分的に途切れているので、この途切れ部分によって、液晶注入口541が構成されている。このため、対向基板400とアクティブマトリクス基板200とを貼り合わせた後、シール材552の内側領域を減圧状態にすれば、液晶注入口541から液晶539を減圧注入でき、液晶539を封入した後、液晶注入口541を封止剤542で塞げばよい。なお、対向基板400には、シール材552の内側において画面表示領域81を見切りするための遮光膜555も形成されている。また、対向基板400のコーナー部のいずれにも、アクティブマトリクス基板30と対向基板400との間で電気的導通をとるための上下導通材556が形成されている。

【0097】ここで、走査線に供給される走査信号の遅延が問題にならないのならば、走査線駆動回路70は片側だけでも良いことは言うまでもない。また、データ線駆動回路60を画面表示領域81の辺に沿って両側に配列しても良い。例えば奇数列のデータ線は画面表示領域81の一方の辺に沿って配設されたデータ線駆動回路から画像信号を供給し、偶数列のデータ線は画面表示領域81の反対側の辺に沿って配設されたデータ線駆動回路から画像信号を供給するようにしても良い。このようにデータ線を歯状に駆動するようにすれば、データ線駆動回路60の形成面積を拡張することが出来るため、複雑な回路を構成することが可能となる。また、アクティブマトリクス基板200において、データ線駆動回路60と対向する辺の側では、遮光膜555の下などを利用して、プリチャージ回路や検査回路が設けられることもある。なお、データ線駆動回路60および走査線駆動回

路70をアクティブマトリクス基板200の上に形成する代わりに、たとえば、駆動用LSIが実装されたTAB(テープオートメイティッド、ボンディング)基板をアクティブマトリクス基板200の周辺部に形成された端子群に対して異方性導電膜を介して電気的および機械的に接続するようにしてもよい。また、対向基板400およびアクティブマトリクス基板200の光入射側の面あるいは光出射側には、使用する液晶539の種類、すなわち、TN(ツイステッドネマティック)モード、STN(スーパーTN)モード、D-STN(ダブル-STN)モード等々の動作モードや、ノーマリホワイトモード/ノーマリブラックモードの別に応じて、偏光フィルム、位相差フィルム、偏光板などが所定の向きに配置される。

【0098】本形態の液晶パネル1を透過型で構成した場合には、たとえば、投射型液晶表示装置(液晶プロジェクタ)において使用される。この場合、3枚の液晶パネル1がRGB用のライトバルブとして各々使用され、各液晶パネル1の各々には、RGB色分解用のダイクロイックミラーを介して分解された各色の光が投射光として各々入射されることになる。従って、本形態の液晶パネル1にはカラーフィルタが形成されていない。但し、対向基板400において各画素電極45に対向する領域にRGBのカラーフィルタをその保護膜とともに形成することにより、投射型液晶表示以外にも、カラー液晶テレビなどといったカラー液晶表示装置を構成することができる。さらにまた、対向基板400に何層もの屈折率の異なる干渉層を積層することにより、光の干渉作用を利用して、RGB色をつくり出すダイクロイックフィルタを形成してもよい。このダイクロイックフィルタ付きの対向基板によれば、より明るいカラー表示を行うことができる。

【0099】

【発明の効果】以上説明したように、本発明では、非晶質の半導体膜を多結晶化させるレーザアニールなどの結晶化工程を行った後、熱処理工程において半導体膜に対して高温雰囲気中で熱処理を施して結晶粒界に存在するダンギングボンドを除去するので、TFTのオン電流特性を向上させることができ、かつ、そのばらつきを圧縮できるなど、トランジスタ特性の向上を図ることができる。また、本発明では、熱処理工程において、処理室温度を例えば400℃以下、好ましくは300℃以下の低温に保持したまま、基板を処理室内に設置し、そして、基板を熱処理するための処理室内を真空引きした後、処理室内に所定のガスを導入して昇温を開始し、かかる後に処理室内で熱処理を行なうため、汚れた大気が存在しない清浄な雰囲気下で熱処理を行なうことができる。それ故、半導体膜の能動層とゲート絶縁膜との界面から余計な準位を減少させることができるので、TFTの電気特性に劣化やばらつきが発生しない。

【図面の簡単な説明】

【図1】(A)、(B)はそれぞれ、本発明の実施の形態1に係る液晶表示装置用のアクティブマトリクス基板のブロック図、およびその駆動回路を構成するCMOS回路の等価回路図である。

【図2】図1に示すアクティブマトリクス基板上に形成した3種類のTFTの断面図である。

【図3】(A)～(D)は、図2に示すアクティブマトリクス基板の製造方法を示す工程断面図である。

10 【図4】図3(C)に示すレーザアニール(結晶化工程)で用いるレーザアニール装置の概略構成図である。

【図5】図3(D)に示す熱処理工程で用いる熱処理装置の説明図であり、(A)は、熱処理工程を開始する直前の様子を示す説明図であり、(B)、熱処理工程を行なっている様子を示す説明図である。

【図6】(A)～(E)は、図2に示すアクティブマトリクス基板の製造方法において、図3に示す工程に統いて行う各工程を示す工程断面図である。

20 【図7】図3(D)に示す熱処理工程における熱処理条件とN型のTFTのオン電流特性との関係を示すグラフである。

【図8】図3(D)に示す熱処理工程における熱処理条件とP型のTFTのオン電流特性との関係を示すグラフである。

【図9】(A)～(E)はそれぞれ、本発明の実施の形態2に係る液晶表示装置用のアクティブマトリクス基板の製造方法を示す工程断面図である。

30 【図10】(A)～(D)は、本発明の実施の形態2に係る液晶表示装置用のアクティブマトリクス基板の製造方法において、図9に示す工程に統いて行う各工程を示す工程断面図である。

【図11】アクティブマトリクス型の液晶表示装置用の液晶パネルの平面図である。

【図12】図11のH-H'線における断面図である。

【図13】(A)～(D)は、従来のアクティブマトリクス基板の製造方法において、ゲート電極を形成するまでの工程を示す工程断面図である。

40 【図14】参考例に係る方法で熱処理工程を行うのに用いた熱処理装置の説明図であり、(A)は、熱処理工程を開始する直前の様子を示す説明図であり、(B)、熱処理工程を行なっている様子を示す説明図である。

【符号の説明】

1 液晶パネル

10 駆動回路用のN型のTFT

20 駆動回路用のP型のTFT

12、22、32、102 ゲート絶縁膜

14、24、34 ゲート電極

15、25、35 チャネル領域

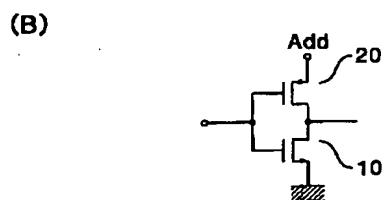
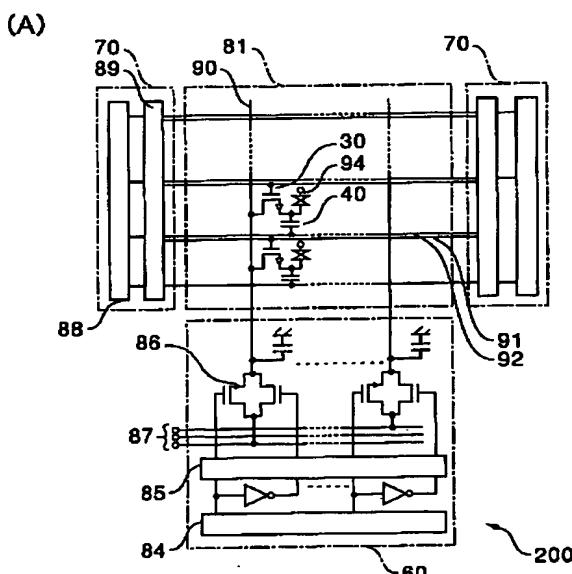
16、26、36 高濃度ソース・ドレイン領域

50 17、27、37 低濃度ソース・ドレイン領域

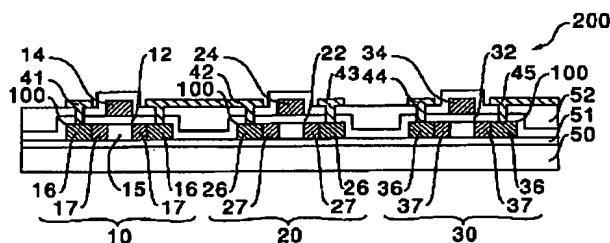
3 0 画素スイッチング用のTFT
 4 0 保持容量
 4 1、4 3、4 4 ソース電極
 4 2 ドレイン電極
 4 5 画素電極
 5 0 基板
 5 1 下地保護膜
 5 2 層間絶縁膜
 6 0 データ側駆動回路
 7 0 走査側駆動回路
 8 1 画面表示領域
 9 0 データ線
 9 1 走査線
 9 4 液晶容量 (液晶セル)
 1 0 0 半導体膜
 1 8 1、1 8 2、1 8 3、1 8 4、1 8 5 レジストマ
 スク
 2 0 0 アクティブマトリクス基板 (半導体装置)
 3 0 0 レーザアニール装置
 3 2 0 レーザ光源
 3 2 5 光学系

3 1 0 ステージ
 4 0 0 対向基板
 5 3 1 対向電極
 6 0 0 热処理装置
 6 0 5 電気炉
 6 1 0 処理室
 6 1 5 リアクタ
 6 1 6 リアクタの下端開口
 6 2 0 ガス供給管
 10 6 3 0、6 3 4、6 3 7 排気管
 6 3 1 バイパス管
 6 3 2 バイパスバルブ
 6 3 5 ベントバルブ
 6 3 8 真空引きメインバルブ
 6 3 9 真空ポンプ
 6 5 0 基板ホルダ
 6 6 0 基板ホルダの基台
 6 7 0 Oリング
 L レーザ光の照射領域
 20 L 0 ラインピーム

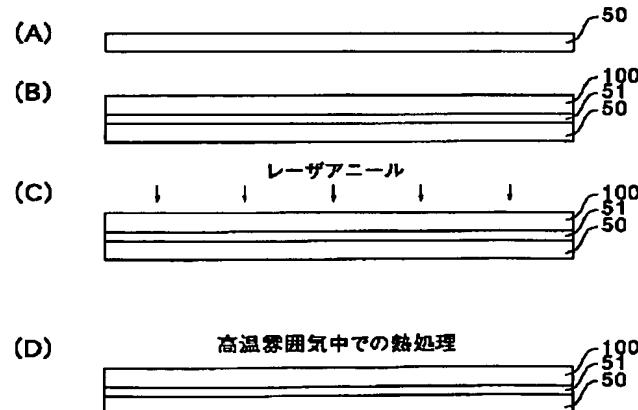
【図1】



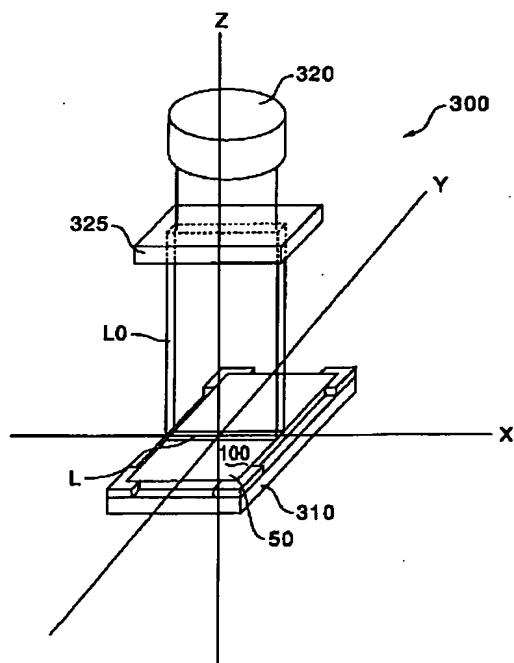
【図2】



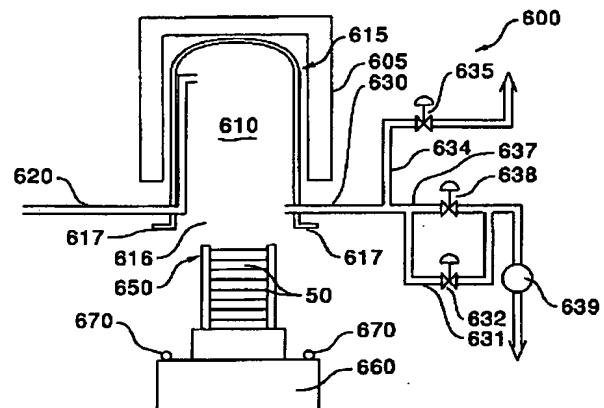
【図3】



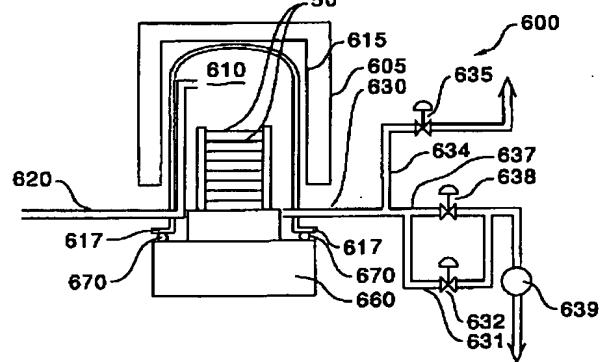
【図 4】



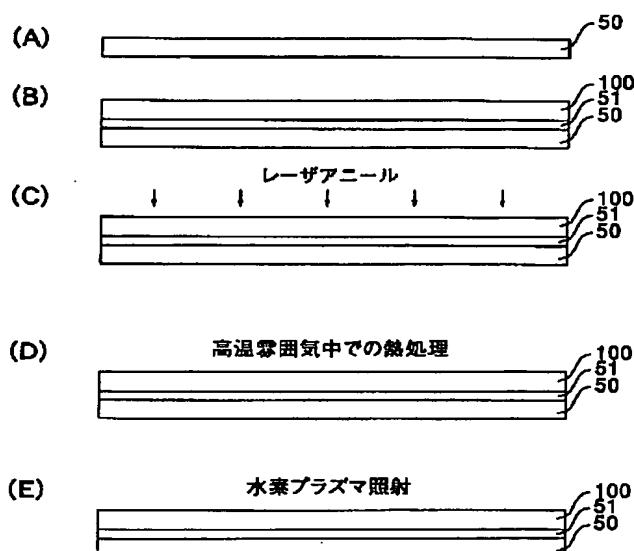
(A)



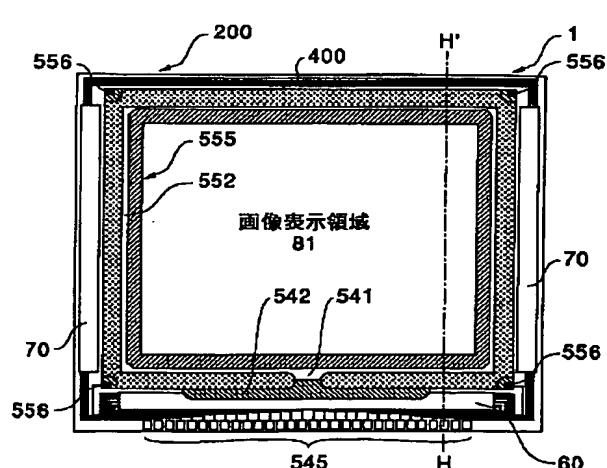
(B)



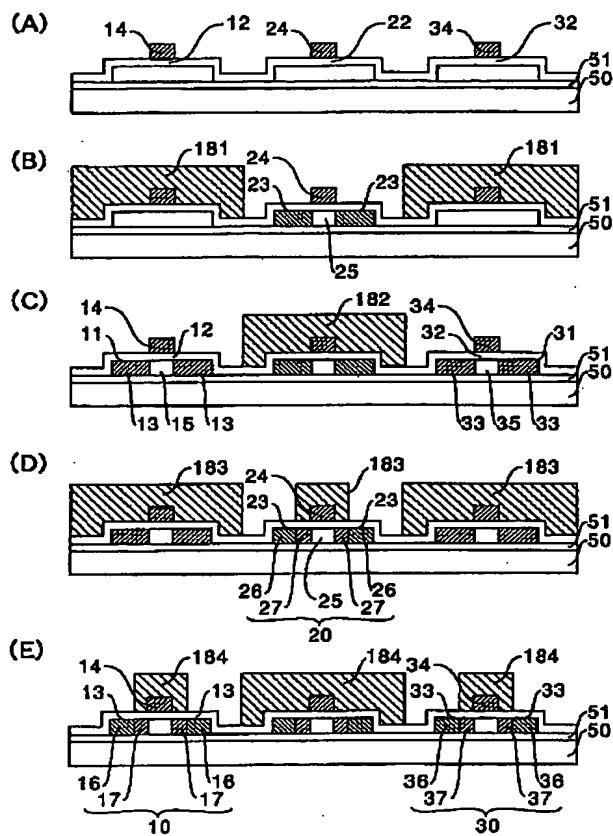
【図 9】



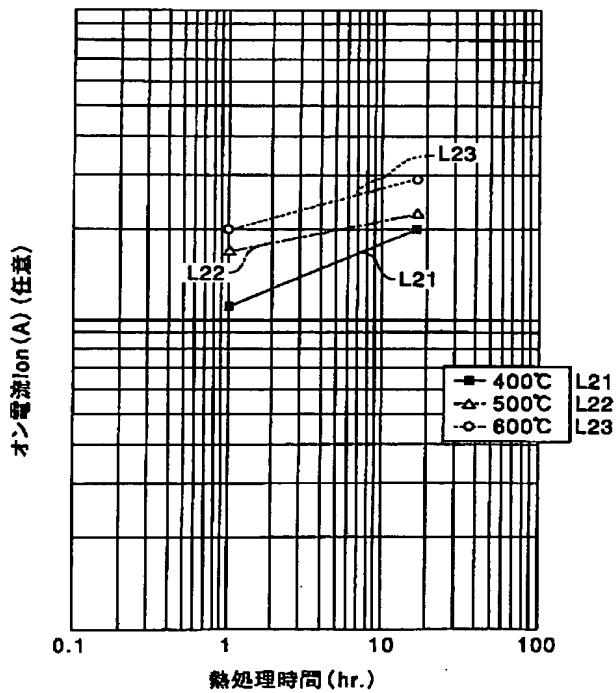
【図 11】



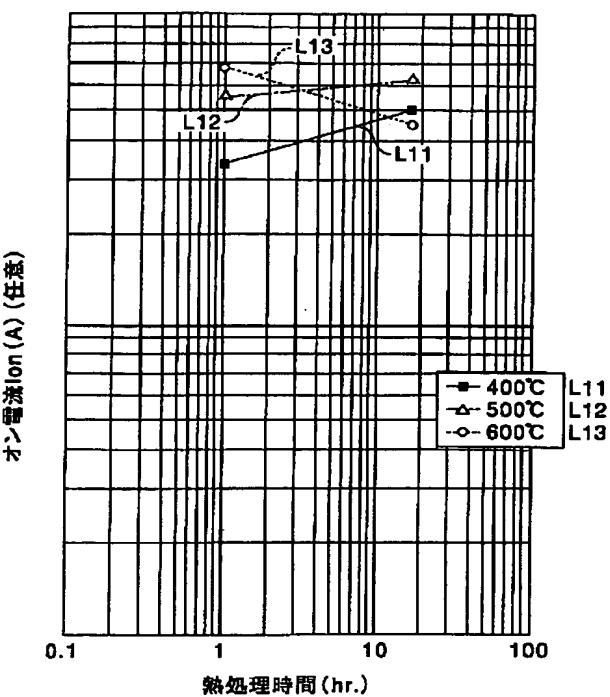
【図 6】



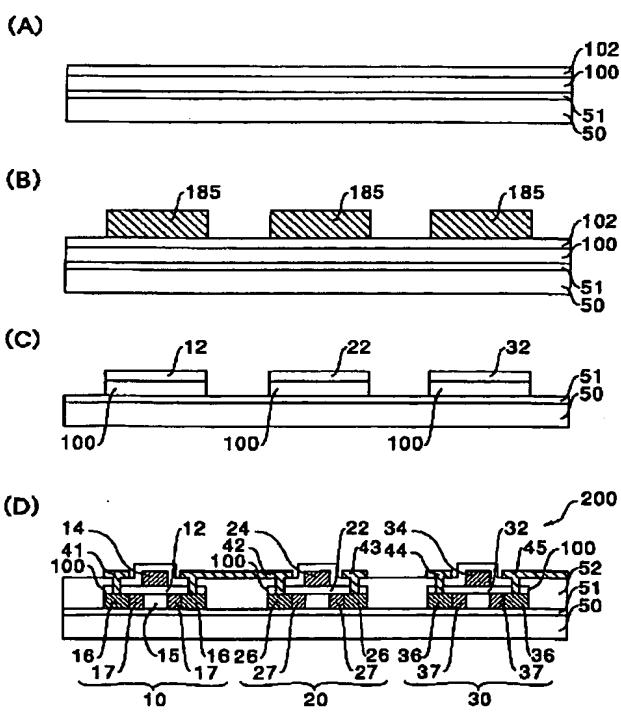
【図 8】



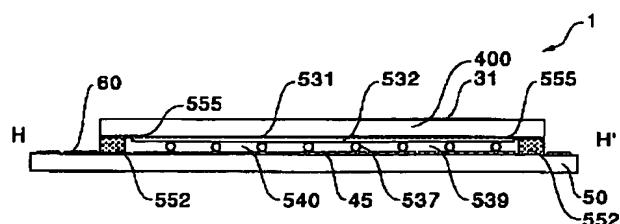
【図 7】



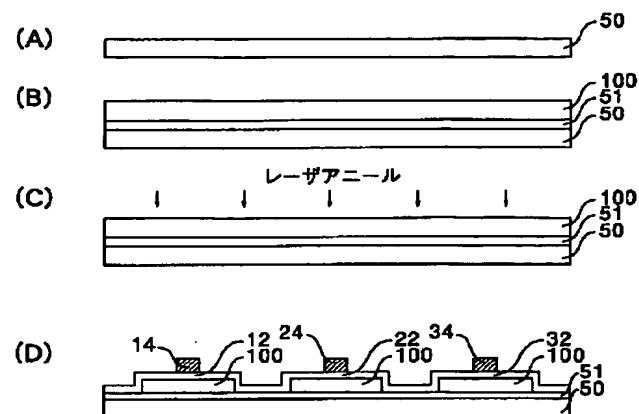
【図 10】



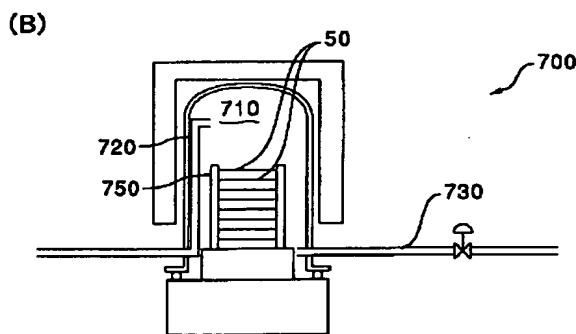
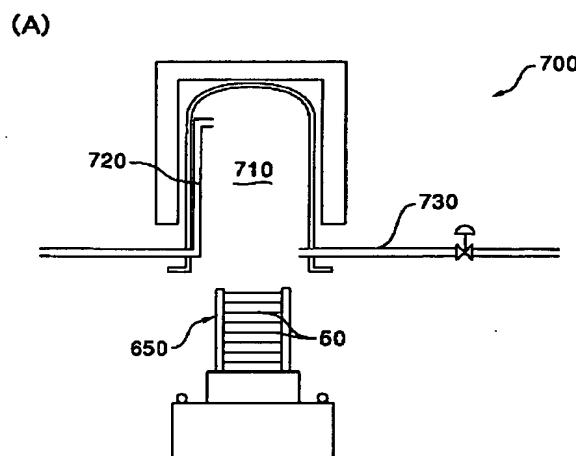
【図 12】



【図 13】



【図 14】



フロントページの続き

F ターム(参考) 2H092 JA25 JA34 KA03 KA07 MA08
MA12 MA22 MA29 MA30 NA22
NA24
5F052 AA02 AA03 AA11 BA07 BB07
DA02 DB02 DB03 DB04 DB07
EA16 FA19 JA01 JA04
5F110 AA07 AA17 AA19 BB02 BB04
CC02 DD02 DD13 DD25 EE03
EE04 EE44 FF02 FF30 GG02
GG13 GG25 GG42 GG43 GG45
GG47 HJ01 HJ04 HJ13 HJ23
HM14 HM15 PP02 PP03 PP05
PP06 PP08 PP13 PP29 PP38
QQ09 QQ10 QQ11 QQ21 QQ24
QQ25